


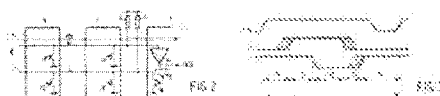


WORD-STRUCTURE ASSOCIATIVE MEMORY**Publication number:** JP62192093 (A)**Publication date:** 1987-08-22**Inventor(s):** UIRUHERUMUSU KURISUTEIANUSU HA; ADORIANUSU TEUNISU FUJAN ZANTEN**Applicant(s):** PHILIPS NV**Classification:**• **International:** G11C15/00; G06F17/30; G11C15/04; G06F17/30; G11C15/00;
(IPC1-7): G11C15/00• **European:** G06F17/30P1A; G11C15/04**Application number:** JP19870029490 19870210**Priority number(s):** NL1986000342 19860212**Also published as:** EP0232949 (A2) EP0232949 (A3) NL8600342 (A)

Abstract not available for JP 62192093 (A)

Abstract of corresponding document: EP 0232949 (A2)

A description is given of a word-organised, content-addressable memory. The information is stored in memory circuits, each comprising several word location sections of several information bits each. The memory circuits are arranged in several columns of one or more memory circuits each, or in several rows of one or more memory circuits each. If there are several columns, a handshake is maintained for each row via a first (M) line in order to globalise a search termination signal and a read termination signal, respectively, and via a second (C) line in order to transport a selection termination signal and to globalise a cut-off signal, respectively. If there are several rows, there is an equal number of control circuits with two tree structures provided in order, respectively, to form at an accelerated rate a signal "at least one word location shows correspondence" and a signal "at least two word locations show correspondence".



Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報(A)

昭62-192093

⑪ Int. Cl.⁴
G 11 C 15/00識別記号
庁内整理番号
6549-5B

⑬ 公開 昭和62年(1987)8月22日

審査請求 未請求 発明の数 2 (全15頁)

⑭ 発明の名称 語構成連想メモリ

⑮ 特 願 昭62-29490

⑯ 出 願 昭62(1987)2月10日

優先権主張 ⑰ 1986年2月12日 ⑱ オランダ(NL) ⑲ 8600342

⑳ 発 明 者 ウィルヘルムス・クリ オランダ国5621 ベーアー アインドーフエン フルーネ
ステイアヌス・ハイア ヴアウツウエツハ1
シンス・フベルス

㉑ 発 明 者 アドリアヌス・テウニ オランダ国5621 ベーアー アインドーフエン フルーネ
ス・ファン・ザンテン ヴアウツウエツハ1

㉒ 出 願 人 エヌ・ペー・フィリツ オランダ国5621 ベーアー アインドーフエン フルーネ
プス・フルーイランベ ヴアウツウエツハ1
ンファブリケン

㉓ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 語構成連想メモリ

2. 特許請求の範囲

1. 一連の集積メモリ回路を具える語構成連想メモリであって、これはマスクされたキーワードと比較できる対応語位置セクションおよびクロック信号(PHI)を各メモリ回路に供給する個別の集積制御回路によって語位置を規定し、各語位置に対するマスクされたキーワードの比較によって語位置セクションを具えるメモリ回路から得られた一致信号を受信し、かつそこで語位置を指示し、その内容が特定コード信号によって決定された操作に支配されている上述のメモリ回路に選択信号を供給するために、一致信号がいくつかの語位置から受信される場合にこれらの操作の処理の特定のシーケンスに考慮が払われているものにおいて、

第1信号線(Mライン)が存在し、これはクロック信号(PHI)による活性化のあと、

かつ上述の一致信号が次の制御回路に供給されるや否や、関連するメモリ回路に局部探索終了信号を形成する手段を備え、そのあとこれらの局部探索終了信号に基いて一般探索終了信号が得られ、これは制御回路に供給され、

第2信号線(Cライン)が存在し、これは一般探索終了信号の受信のあと、かつ上述の選択信号が次いで関連するメモリ回路に供給されるや否や、制御回路から関連するメモリ回路に選択終了信号を供給する手段を備え、

第1信号線(Mライン)は、メモリ回路による選択終了信号の受信のあと、かつ選択信号によって指示された語位置の内容が特定コード信号に基いて処理されるや否や、関連するメモリ回路から制御回路に一般読取り終了信号を供給する手段をまた備え、

第2信号線(Cライン)は、制御回路による一般読取り終了信号の受信のあと、一般読断信号が関連するメモリ回路から第2信号線をその元の信号レベルに回復する状態にそれ

をもたらす手段をまた備え、そのあとクロック信号(PHI)によって開始されたサイクルが終了すること、

を特徴とする語構成連想メモリ。

2. 第1および第2信号線(それぞれMラインおよびCライン)中の手段は第1および第2結線論理機能を構成し、従って最後に発生された局部探索信号の形成後に得られた一般探索終了信号は選択終了信号を輸送する第2信号線(Cライン)を解放し、局部読取り終了信号によって指示される関連するメモリ回路の内容がそこで読出されたあと、第1の形成された局部読取り終了信号で得られた一般読取り終了信号は第2信号線(Cライン)を解放し、そのあと、局部読取り信号形成のあと、第2信号線に置かれている最後の局部遮断信号のあとで得られた信号の一般遮断のあとで対応局部遮断信号が関連するメモリ回路で得られることを特徴とする特許請求の範囲第1項に記載の語構成連想メモリ。

$\sum_{i=1}^n VM_i$ によってブール形式で表わすことができ、かつn個の語位置セクションの群からの少なくとも1個の語位置セクションが所与のマスクされたキーワードに対応することを指示し、そして第1論理木構造ならびに入力信号(P)について同じ入力信号が供給される第2論理木構造を備え、これはメモリ中のn個の語位置セクションの群に先行する少なくとも1個の語位置セクションが所与のマスクされたキーワードに対応し、その出力信号が

$$SH/MH = P \cdot \sum_{i=1}^n VM_i + \sum_{i,j=1}^n VM_i \cdot VM_j \quad (i \neq j)$$

によってブール形式で表わすことができ、かつ調べられた全ての語位置セクションからの少なくとも2個の語位置セクションが所与のマスクされたキーワードに対応することを指示することを特徴とする語構成連想メモリ。

4. 連続する入力信号VM_iはグループで一緒にとられかつ第1ゲート回路に供給され、そ

3. 一連の集積メモリ回路を備える語構成連想メモリであって、これはマスクされたキーワードと比較できる対応語位置セクションおよびクロック信号(PHI)を各メモリ回路に供給する個別の集積制御回路によって語位置を規定し、各語位置に対するマスクされたキーワードの比較によって語位置セクションを具えるメモリ回路から得られた一致信号を受信し、かつそこで語位置を指示し、その内容が特定コード信号によって決定された操作に支配されている上述のメモリ回路に選択信号を供給するために、一致信号がいくつかの語位置から受信される場合にこれらの操作の処理の特定のシーケンスに考慮が払われているものにおいて、

制御回路が第1論理木構造を備え、それに入力信号(VM_i, i=1, 2, ..., n)が供給され、これは一群のn個の語位置セクションから各語位置セクションに対して得られた一致信号に対応し、かつその出力信号はTM=

のあとこれらの第1ゲート回路の出力信号はグループで一緒にとられかつ第2ゲート回路に供給され、そして第1論理木構造の頂上に達し、かつ信号TMが得られるまで同様に続けられ、さらに第1ゲート回路の各出力信号は上記の入力信号Pと一緒にとられかつ第3ゲート回路に供給され、そのあとでこれらの第3ゲート回路の出力信号は選択信号を発生する制御回路中で語選択回路の連続活性化のためにセクションに分割された伝搬線の入力信号として作用し、該セクションはそれらの長さについて入力信号VM_iのグループ状分割に対応することを特徴とする特許請求の範囲第3項に記載の語構成連想メモリ。

5. 連続する入力信号VM_iの各々は入力信号VM_iと伝搬線にあらかじめ発生された信号P_iによって決められた伝搬線中に発生された対応信号P_iと一緒にとられかつ第4ゲート回路に供給され、その出力信号はグループで一緒にとられかつ第5ゲート回路に供

給され、そのあとこれらの第5ゲート回路の出力信号はグループで再び一緒にとられかつ第5ゲート回路に供給され、第2論理木構造の頂上に達し、かつ信号 SM/MM が得られるまでのことが続くことを特徴とする特許請求の範囲第4項に記載の語構成連想メモリ。

6. 語構成メモリのいくつかの行とこれらと一緒に動作する制御回路の列を具える特許請求の範囲第3項ないし第5項のいずれか1つに記載の語構成連想メモリにおいて。

各制御回路は結合回路を備え、ここで k 個の結合回路は信号 $TM_{0,1}, TM_{0,2}, \dots, TM_{0,k}$ から信号 $\sum_{i=0}^{n-1} TM_i$ が導かれることにより毎層グループに結合され、該信号は k 個の結合回路の他の同一のグループから得られた $k-1$ 個の対応する出力信号と一緒にとられかつ k 個の結合回路の新しい同一のグループに供給され。そのあとこれらの新しいグループの出力信号は同様と一緒にとられかつ k 個の結合回路の別のグループに供給され。得られ

た本構造の頂上に達しかつ信号 $OM \sum_{i=0}^s TM_i$ が得られるまで続けられ、ここで s は列中の制御回路の数であり、

さらに P の初期値から開始する本構造の頂上より戻って本構造に位置する先行グループに対する対応する P 信号が毎層与えられ、そして各制御回路に対し存在する論理木構造の開始信号 P_i が与えられるまでこれを継続し、ここで P 信号の各々は $P_{0,1}, \dots, P_{0,r} TM_i$ によって表わすことができ、 r は関連する制御回路の階数であること、

を特徴とする語構成連想メモリ、

7. 各結合回路は、本構造の頂上の方に信号を与える第1ゲート回路と、本構造の底部の方に信号を与える第2ゲート回路を具え、

4つの結合回路のグループが毎層形成され、ここで本構造においてレベル M におけるグループの第4結合回路に対し第1ゲート回路は階数 $(3+4k) \cdot 4^{M-1} + 1$ を持つ制御回路の結合回路からとられ、ここで $M=1, 2, \dots$

であり、一方 $k=0, 1, \dots$ は特定レベル内の4つの結合回路のグループの階数を示し、さらにここで階数 $(n-1+4k) \cdot 2^{M-1} + 1$ を持つ制御回路中の結合回路の第2ゲート回路は、第2ゲート回路に対する本構造のレベル M におけるグループの n 番目($n=2$ か3か4)の結合回路からとられること、を特徴とする特許請求の範囲第6項に記載の語構成連想メモリ。

8. 結線ノア機能が存在し、それにより全システムで有効な SS/MM 信号が各制御回路に対し得られた2つの本構造(SM/MM)の出力信号から得られることを特徴とする特許請求の範囲第6項に記載の語構成連想メモリ。

3. 発明の詳細な説明

本発明は一連の集積メモリ回路を備える語構成連想メモリ(word-organized, content-addressable memory)に関連し、これはマスクされたキーワードと比較できる対応語位置セクション(word

location section) およびクロック信号(PHI)を各メモリ回路に供給する個別の集積制御回路によって語位置を規定し、各語位置に対するマスクされたキーワードの比較によって語位置セクションを具えるメモリ回路から得られた一致信号(correspondence signal)を受信し、かつそこで語位置を指示し、その内容が特定コード信号によって決定された操作に支配されている上述のメモリ回路に選択信号を供給するために、一致信号がいくつかの語位置から受信される場合にこれらの操作の処理の特定のシーケンスに考慮が払われている。

一致信号および1つの語位置に関係する選択信号の輸送は1つのワードライン(MWL)を通して起こることが好ましい。この種のメモリは西ドイツ特許出願第77.13949号および米特許第4,296,475号から知られており、これは参考のためにここに記載する。

メモリ回路は、その各々が例えば16ビットの16語、あるいは16メモリ回路の16行からな

るマトリックスチップ(Mチップ)にグループ化できる。それからMチップは順次、行および列に配列される。換言すれば、このメモリは構造上、純粋にモジュラーであることができる。同様に、制御回路は制御チップ(Cチップ)と同様にそれをMチップ毎に、あるいはMチップの行毎に設計することによりモジュールとして構成することができる。等しい数のCチップはMチップの多数の行に使われている。一致信号と選択信号の交換は、MチップあるいはMチップの行に蓄積された語が存在するだけ多くのワードラインで構成された双方向制御バスを介して実行されるのが好ましい。この制御バスはMチップあるいはMチップの行をCチップと接続する。一致信号と選択信号の交換はクロック信号と特定コード信号の制御の下で起こる。この交換プロセスは行中により多くのMチップおよびMチップにより多くの行が共に存在するのに比例してもっと多くの時間が掛かる。従って本発明の目的は一致信号と選択信号の交換を可能にする手段、およびメモリ中ならびにこれらの

信号によって発生された制御回路中の動作が、特にシステムのモジュラー設計によって、可能な限り迅速に起こるようにする手段を与えることである。この目的を達成するために、種々の手段を本発明に従って取ることができる。

本発明による第1の手段として、前文で述べられた語構成連想メモリが用意され、これは次の点を特徴としている。すなわち、第1信号線(Mライン)が存在し、これはクロック信号(PH1)による活性化のあと、かつ上述の一致信号が次に制御回路に供給されるや否や関連するメモリ回路に局部探索終了信号(local search termination signal)を形成する手段を備え、そのあとこれらの局部探索終了信号に基いて一般探索終了信号(general search termination signal)が得られ、これは制御回路に供給され、

第2信号線(Cライン)が存在し、これは一般探索終了信号の受信のあと、かつ上述の選択信号が次いで関連するメモリ回路に供給されるや否や、関連するメモリ回路に制御回路から選択終了信号

(selection termination signal)を供給する手段を備え、

第1信号線(Mライン)は、メモリ回路による選択終了信号の受信のあと、かつ選択信号によって指示された語位置の内容が特定コード信号に基いて処理されるや否や、関連するメモリ回路から制御回路に一般読取り終了信号(general read termination signal)を供給する手段をまた備え、

第2信号線(Cライン)は、制御回路による一般読取り終了信号の受信のあと、一般遮断信号(general cut-off signal)が関連するメモリ回路から第2信号線をその元の信号レベルに回復する状態にそれをもたらす手段をまた備え、そのあとクロック信号(PH1)によって開始されたサイクルが終了すること、を特徴としている。

同様に発明に従って、第1および第2信号線(それぞれMラインとCライン)の手段は第1および第2の結線論理機能(wired logic function)を構成し、従って最後に発生された局部探索終了

信号の形成後に得られた一般探索終了信号は選択終了信号を輸送する第2信号線(Cライン)を解放し、そして関連するメモリ回路の内容がそこで読出されたあと(これは局部読取り終了信号によって指示される)、第1の形成された局部読取り終了信号で得られた一般読取り終了信号は第2信号線(Cライン)を解放し、そのあと、局部読取り終了信号の形成のあと、第2信号線に置かれている最後の局部遮断信号(local cut-off signal)のあとで得られた一般遮断信号のあとで、対応局部遮断信号が関連するメモリ回路で得られると言うことは好ましい。

発明による別の手段として、前文で述べられたように語構成連想メモリが用意され、これは、制御回路が第1論理木構造(logic tree structure)を備え、それに入力信号(VM_i, i=1, 2, ..., n)が供給され、これは一群のn個の語位置セクションから各語位置セクションに対して得られた一致信号に対応し、かつその出力信号は

$$TM = \sum_{i=1}^n VM_i$$

によってブール形式で表わすことができ、かつ n 個の語位置セクションの群から少なくとも1つの語位置セクションが所与のマスクされたキーワードに対応することを指示し、そして第1論理木構造ならびに入力信号(P)について同じ入力信号が供給される第2論理木構造を備え、これはメモリ中の n 個の語位置セクションの群に先行する少なくとも1個の語位置セクションが所与のマスクされたキーワードに対応し、その出力信号が

$$SM/KN = P \cdot \sum_{i=1}^n VM_i + \sum_{i,j=1}^n VM_i \cdot VM_j (i \neq j)$$

によってブール形式で表わすことができ、かつ調べられた全ての語位置セクションからの少なくとも2個の語位置セクションが所与のマスクされたキーワードに対応することを指示していることを特徴としている。

これらの木構造の入力信号をグループに結合し、かつ制御回路にある伝搬線(propagation line)にそれらを集積化することにより、それによってこの連続選択信号が導かれ、そしてもしMチップ

のいくつかの行が存在するなら、木構造をグループに再び結合することにより、非常に速くかつ効率的な回路が得られる。Cチップの各々に特定回路を備えることにより、個別チップがCチップによって発出された信号を結合するのに必要とされること無しにCチップの長い列の間に木構造を形成することは可能であるが、しかしCチップの列を相互接続する結線によって行うことも可能である。

本発明を添付の図面によって詳細に説明する。

第1図は一連の集積メモリ回路1、マスクレジスタ2、情報マルチプレクサ3、双方向情報ライン4、個別集積制御回路5から構成された語構成連想メモリを示している。メモリ回路はマトリクスチップ(Mチップ)にグループ化でき、その各々は例えば16ビットの16語、あるいは16メモリ回路の16行からなっている。Mチップは順次行および列の双方に配列される。換言すれば、メモリは構造上純粋にモジュラーにすることができる。MチップあるいはMチップの行に蓄積され

たメモリ語はキーフィールドおよびデータフィールドを含むことができる。キーフィールドあるいはその一部分の内容はマスクレジスタ2に蓄積されているマスクされたキーワードの内容と比較される。もしキーワードのマスクされないビットおよび集積メモリ回路に蓄積された語の対応ビット位置の情報内容が一致すると、一致信号が関連する語に与えられる。これらの語はこの目的でコード化された形式で供給されたコード信号に基いて読出されるか別のやり方で処理され、ここでそのような一致信号がメモリ中のいくつかの語に与えられる場合にはこれらの操作の処理の特定のシーケンスに考慮が払われる。双方向情報ライン4と情報マルチプレクサ3を介して、情報はメモリ回路1に直接供給され、あるいはマスクされたキーワードに関する限り、マスクレジスタ2を介して行なわれ、その上、メモリから読出された情報はユーザーの装置に供給される。メモリ回路が構成されるやり方、ならびに情報の読込み読み出しの機構、キーワードのマスクングおよびマスクされ

たキーワードとビット毎の一致信号の発生を伴うメモリ内容との比較は上に述べられた西ドイツ特許出願から既知であり、ここでこれ以上説明する必要は無い。

上述の西ドイツ特許出願から、語構成連想メモリの一部分を形成する制御回路5は、どの語位置セクションに一致信号が与えられるかを記録し、そしてもし必要ならこれらの登録されたデータを変更する機能、ならびに語ステータスを指示する機能、すなわち語位置が有効情報を含んでいるかどうかを指示し、かつもし必要ならこの語位置のステータスを変更する機能、およびメモリ回路中のある語、特定すれば一致信号が与えられた語が読取られたかあるいはまだ読取られないかを指示する指示機能を持っている。既知のメモリ回路は、指示機能によって与えられた信号に基いて、その内容が読出されなくてはならぬかあるいはいくつかの別のやり方で処理されなくてはならぬ語位置を指示する選択機能、ならびに(少なくともそのような語位置のいくつかの内容が読出されなくて

はならぬかあるいはいくつかの別のやり方で処理されなくともはならぬ場合に)これらの動作が起こらねばならぬシーケンスを具えている。この目的で選択機能によって発出された選択信号は関連するメモリ回路に供給される。MチップあるいはMチップの行に関連する限り、すべてのこれらの機能は単一Cチップに超込むことができる。その結果、あとでさらに説明されることになっている制御回路は、特にもしMチップのいくつかの行あるいはMチップの列が存在するなら、構造上またモジュラーであり得る。メモリ回路からの一致信号の輸送および制御回路からの選択信号の輸送は各語位置にある1つの単一ワードラインMWLを介して起こるのが好ましい。ワードラインは共に制御バスを形成し、従ってこの制御バスはMチップあるいはMチップの行(もしメモリ中の語を記録するのにいくつかのMチップが必要なら)をCチップと接続する。問題となっている実施例では、従ってMチップの行に対して16ラインMWL 1-16が存在する。一致信号と選択信号の交換

ができる限り迅速に起こるために。クロック信号PHIに加えて2つの信号線すなわちMラインとCラインが利用可能である。

第2図は2つのMチップ6, 7およびCチップ8について、クロック信号PHIに対するライン9と。Mライン10およびCライン11をそれぞれ示している。2つの信号線10, 11はそれぞれ抵抗12, 13を持つ開放流出力線(open-drain output line)からなる結線論理機能を具えている。言うまでもないことだが、結線論理機能の代わりに同じ機能結果を得るために別の論理回路も使用できる。インバート14とノアゲート15とCラインに接続されたFET16からなる論理回路を介して。CラインはMライン上の論理レベルあるいは制御回路に発生された信号RESIによって影響を受ける。この論理回路14, 15はFET16と共に制御回路5の一部分を形成している。この回路の動作は第3図に基いて説明される。一致信号と選択信号を交換するプロセスとメモリおよび制御回路中でこれによって部分的に発

生される動作は多分可変期間Tを有するサイクルで起こり、この期間は制御回路の一部分を形成する時間制御ユニットによって発出されたクロック信号PHIによって決定される。各サイクルの始めで、Mラインの論理レベルは「0」であり、そしてCラインのレベルは「1」である。メモリ回路は、マスキングによって決定された語位置セクションの各メモリ回路の内容が所与の対応するマスクされたキーワードの対応ビットの内容と比較されると言う意味で、クロック信号PHIによって活性化される。この比較プロセスがメモリ回路中の特定語に対して実行されるや否や、局部探索終了信号はここに含まれたMチップの行からの各Mチップに形成され、そしてこの目的で各Mチップに存在するFET(第2図ではFET17と18)のゲートに供給される。局部探索終了信号が関連するMチップに形成される瞬間は各チップのスイッチング速度の許容差の結果として変動する。局部探索終了信号はMラインに接続された上述のFET(第2図ではFET17と18)をブロック

された状態にする。最後に発生された局部探索終了信号が与えられる場合。従ってMラインに接続されたすべての関連するFETはブロックされた状態にされ、Mラインの論理レベルは変化し、この変化は一般探索終了信号を構成する。第3図は行中の4つのMチップに対する局部探索終了信号を破線の形で示す。しかし、最後に発生された探索終了信号はMラインの論理レベルから「1」までの遷移をほとんど直接実行し、従って一般探索終了信号との一致を指示している。一般探索終了信号が得られる間に、関連する語位置に印加する一致信号は制御回路5に伝えられ、このようにしてそれは活性化される。時間t₁の間に(第3図を見よ)Mチップは従って活性化され、この時間が経過したあとCチップは活性になる。

もしMラインの論理レベルが時間t₁の経過後「1」に進むなら、Cラインは時間t₁の間論理レベル「1」になお留まっている。しかしこの時間の間、CラインはMラインによってこの論理値をとることを強制されない。従ってCラインの論理

レベルは信号RESIが供給されるや否や「0」に切替わり、この信号の結果としてFET16は導通になる。Cチップが活性になる場合、各語位置の関連するMWLラインを介して供給された一致信号は登録され、これらから、例えば上述の西ドイツ特許出願で述べられたように、また第4図を基にして以下簡単に説明されるように、選択信号が導かれ、これは読出されなくてはならぬかあるいはいくつかの別のやり方で処理されなくてはならぬメモリ回路中の語、ならびに起こらなければならぬシーケンスを示している。このことは特定の瞬間に選択されたワードラインを論理レベル「1」に維持し、かつすべての他のワードラインを論理レベル「0」にすることにより達成される。シーケンスの選択と決定が起こる瞬間は以下に説明するように制御回路中に発生された時間制御信号RESIによって決定される。Cラインが信号RESIによって論理レベル「0」にされるや否やMチップは再び活性となり、MラインはCラインの制御を引継ぐ。Cライン上の論理レベルの

「0」への切替えは選択終了信号を構成する。

Mチップ内で、Cラインに接続されたFET(第2図ではFET19と20)のゲートにおける電圧は、もしCライン上の論理レベルが「1」であったならこれらのFETが導通になるような値にされる。事実、上に述べられた瞬間に、Cライン上の論理レベルは「0」である。

選択終了信号が与えられるや否や、メモリに蓄積された選択語は読出されるかあるいはいくつかの別のやり方で処理される。もし一致信号がいくつかの語位置で与えられると、対応する語は連続するサイクルで読出すことができる。この目的で、選択信号は特定のシーケンスで与えられる。語が読出されるや否や、局部終了信号はMラインに接続されたFET(第2図ではFET17と18)のゲートに供給される関連するMチップに形成される。その結果、これらのFETは導通状態に切替わる。最も早いスイッチングMチップの関連するFETが導通状態に切替わるや否や、すなわち時間t₁の経過のあと(第3図を見よ)、Mライン

上の論理レベルは「0」に変化し、この変化は一般読取り終了信号を構成する。第3図は行中の4つのMチップに対する局部読取り終了信号を破線で示し、そして一般読取り終了信号と一致する最初に発生された局部読取り終了信号を示している。Cラインはこの一般読取り終了信号によって解放され、すなわち、Cライン上の論理レベルは最も早くMライン上の論理レベルによって決定されない。局部読取り終了信号それぞれは関連するMチップの局部遮断信号の形成を実行し。このことは、Cラインに接続されたFET(第2図ではFET19と20)のゲートにおける電圧がこれらのFETがブロックされるような値をとることを意味する。Cライン上の論理レベルがその元の値「1」に戻るのは、最も遅いスイッチングMチップがブロックされる場合のみで、この遷移は一般遮断信号を構成する。そのあと、MラインとCラインはサイクルの開始におけるのと同様に同じ値である。クロック信号PHIは停止し、新しいサイクルは次のクロック信号が始まるや否や開始できる。従

ってサイクル毎に2つの制御信号がメモリ回路からMラインを介して制御回路に送られ(すなわち一般探索終了信号と一般読取り終了信号)。一方、制御信号は制御回路からCラインを介してメモリ回路に送られる(すなわち選択終了信号)。メモリ回路を介して与えられた一般遮断信号はCラインをその元の状態に戻すが、しかし制御回路の制御信号としては考えられない。最小数の信号線の利点はこのようにMラインとCラインを用いることによって得られる。

第4図はMチップあるいはMチップの行(16ワードラインMWL1-16に対する制御回路5の部分を示す。この回路は時間制御ユニット21、論理回路14、15およびFET16、ならびに各ワードラインに対する制御回路22-1、……、22-16を具えている。論理回路14、15およびFET16の動作は第3図に基いて上に説明されている。制御サブ回路の動作は制御サブ回路22-1に基いて説明されよう。他のサブ回路の構成と動作はこれと同じである。原理上制御サブ

回路は西ドイツ特許出願第7.1.3.9.4.9号より既知である。

制御サブ回路22-1は一致レジスタユニット21、語ステータスレジスタユニット24、読出し指示レジスタユニット25、語選択回路26、ノアゲート27およびFEET28から構成されている。以下説明されるように、本発明によるこの実施例の制御回路5は、好ましくは個別の制御サブ回路の語選択回路が集積されている2つの本構造をさらに具えている。しかし、これらの本構造は第4図には示されていない。

ワードラインMWL1を介して制御サブ回路22-1に供給されているメモリ回路中の関連する語位置セクションの一致信号は、対応する一致レジスタユニット23に蓄積される。この一致レジスタユニット23は僅かのフリップフロップと簡単な論理回路から構成できるが、しかしこのことは本発明にとって重要ではない。これに対応する語の内容は指令SRRあるいはRNによって読出されたり、あるいは指令WFPによって読込まれ

る。指令SRRの助けを借りて、語はそれらのメモリ回路に書き出され、それから一致信号は受信されかつ蓄積され、そしてこれはいくつかの一致信号が受信されている場合にはまず読み出され。一方、さらに語に蓄積された情報は「有効」として考えられなくてはならず（それは語ステータスレジスタユニット24に蓄積される）、そしてもちろん未だ読出されていない（これは語読出し指示レジスタユニット25でアップデートされたままになっている）。指令RNの助けを借りて、以下の語（それに対して一致信号が与えられている）は次のサイクルで読出すことができる。もし一致信号が与えられ、かつメモリ回路中の語に蓄積され（一致レジスタユニット23の出力信号はそのとき $MA=1$ である）、一方この語が「無効」と考えられるなら、他の語はメモリ回路中の関連する位置に書込むことができ、この動作は指令WFPで実行される。もし一致信号が蓄積されているすべての「有効」語が消去されると、指令CPMはこの目的で供給され、これらのすべての語のス

テータスは「無効」に変化される。

語ステータスレジスタユニット24は、多数の論理回路と対応する語のステータスが有効な場合に信号Vを与えるレジスタ要素を具えている。語ステータスレジスタユニット24の出力信号は $CM = WEP \cdot \overline{V} + MA \cdot WFP \cdot V$ によってブール形式で表わすことができ、ここでレジスタ要素は信号WFP・F1によって $V=1$ にされ、信号CPM・CMによって $V=0$ にリセットされる。ここでF1は関連する語が選択され、そして読出されるかあるいはいくつかの他のやり方で処理できることを示している。信号F1は語選択回路26の出力信号であり、かつまた語ステータスユニット24のレジスタ要素に対するセット信号としてここで作用する。もしすべての語がステータス「無効」を与えられるか、あるいはもし出力信号CMが特定の語に与えられるなら、関連する語がメモリ回路中で支配される動作を見越して、この同じ信号はステータスを「無効」に変えるのに使うことができる。「有効」語（ $V=1$ ）に対して

$CM=1$ であり、それに対し一致信号は蓄積され（ $MA=1$ ）。あるいは「無効」語（ $V=0$ ）に対し、異なった内容が与えられる（ $WFP=1$ ）。

$CM=1$ である語がすでに読出されているかそうでないか、あるいはいくつかの他のやり方で処理されているかの注意を保持するために、信号CMは語読出し指示レジスタ25に供給される。この語読出し指示レジスタは多数の論理回路と制御回路に関する限り一致語が読出された場合に信号Dを発出するレジスタ要素を具えている。語読出し指示レジスタユニット25の出力信号は $VM = CM \cdot (\overline{D} + \overline{SRR} + \overline{RN})$ によってブール形式で表わすことができ、ここでレジスタ要素は信号F1・（ $SRR + RN$ ）によって $D=1$ にされ、そして信号 $\overline{CM} + \overline{SRR} + \overline{RN}$ によって $D=0$ にリセットされる。換言すれば、もし関連する語に対し何の読出し指令も存在しないと（ $SRR + RN = 0$ ）。各ケースで $\overline{D}=1$ および $VM=CM$ である。もし読出し指令がそのあとで与えられると（ $SRR + RN = 1$ ）、信号CMは不変のまま

あり、そしてこれと共に信号 VM_i もそうである。しかし関連する語が選択されかつ読出すことができる($F_i = 1$)、や否や(これは読出し指令が制御回路に対して完了することを意味する)。 $D = 1$ および $VM_i = 0$ である。従って語読出し指示レジスタユニット25によって与えられた信号 $VM = 1$ は信号 $CM = 1$ とはほぼ同じ意味を有し、これは一致語が選択され、そして選択信号が関連するメモリ回路に供給されるや否や VM_i は0になると言う理解に基いてである。

信号 CM と信号 VM_i の双方は語選択回路26に供給される。この回路は出力信号 $F_i = CM \cdot WP + VM_i \cdot P_i$ を伝える。指令 SRR 、 RN あるいは WFP に対し(ここで $VM_i = 1$ である)。信号 F_i はノアゲート27を介して FET 28のブロッキングを実行し、そしてワードライン MWL_1 上の論理レベルは「1」となる。選択信号はこのように指示されたメモリ回路に供給されるだけであるから、すべての他のワードライン $MWL_2 - 16$ の論理レベルは「0」にならなければな

らない。このことは連続する信号(running signal) P_i によって保証され。これは個々の制御サブ回路の語選択回路26を連続的に解放し、そしてシーケンスがワードラインの活性化で得られるようなやり方にこのことは行なわれる。第1ワードラインの活性化に対して $P_i = 1$ である。もし $P_i = 1$ なら、その結果、選択信号はワードライン MWL_1 を通して送ることができる。次のサイクルにおける第2ワードライン MWL_2 の活性化のための信号 P_i は信号 $VM_i = 0$ によって直ちに $P_i = 1$ となる。もし次のサイクルにおいて制御回路22-2で信号 F_2 が1に等しくなるなら、その結果、選択信号はワードライン MWL_2 を介して送ることができる。そこで信号 VM_i は第3ワードライン MWL_3 の活性化に対して信号 P_i を $P_i = 1$ に同時にすることが可能等々である。各ケースで $P_{i+1} = P_i \cdot \overline{VM_i}$ である。もし指令 WP が与えられ、これが並列語(parallel words)が読込み動作に対しメモリ回路中で指示されねばならぬことを意味するなら。すべてのワードライン

の論理レベルは「1」に保たれ。少なくとも $CM = 1$ である語に対してそうでなくてはならぬ。制御回路において、すべての関連する信号は $F_i = 1$ となる。もし何の指令も実行されないと、すべての F_i は常に0に留まり、関連するワードライン上の論理レベルは「0」に留まる。信号 F_i はさらに時間制御ユニット21に供給されるのみであり、これはこれらの信号から既に述べられた信号 RES_1 を導く。信号 RES_1 はワードラインを介して論理レベルの変化の形での信号の輸送を許容するために、 M ラインと C ラインのケースと同様にワードラインのアクセス可能性に対する同じ機能を有している。

既に述べたように、制御サブ回路中の語選択回路26は2つの論理木構造に集積される。信号 VM_{i-1} は第1論理木構造に供給される。この木構造の出力信号は

$$TM = \sum_{i=1}^n VM_i$$

によってブール形式に表わすことができる。この

信号 TM は、一致信号が M チップあるいは M チップの行中の少なくとも1つの16語に対して与えられていることを示している。一定の順序で、一致信号が与えられている語を指示するために、引続くサイクルですべての選択信号がまた発生されない限り、信号 TM は1に等しいままである。信号 TM は外部プロセッサにモード信号を導くのに使用され。特に RN 指令のような指令は $TM = 0$ になるまで連続して与えることができる。

信号 VM_{i-1} とは別に、信号 P_i はまた第2論理木構造に供給されている。1つの M チップあるいは M チップの1行が使用されるだけならば、信号 P_i は値「1」に固定的にセットされる。 M チップのいくつかの行が使用され、従って C チップの列が使用される場合に、第2木構造に対する信号 P_i の重要性は明らかになる。すでに述べたように、信号 P_i は制御サブ回路の連続語選択回路を解放する伝搬信号としてまた作用する。第2論理木構造の出力信号は、

$$SM/MM = P_i \cdot \sum_{j=1}^n VM_j + \sum_{j=1}^n VM_j \cdot VM_i \quad (i \neq j)$$

によってブール形式で表わされ、そして一致信号がMチップあるいはMチップの行中の少なくとも2つの16語に対して与えられているか、あるいは、もしCチップの列が存在するなら、一致信号が最後に調べられたMチップあるいはMチップの行中の少なくとも1つの16語に対して与えられており、かつ一致信号が先行するMチップあるいはMチップの行中の少なくとも1つの語に対してまた与えられていることを示している。Cチップの列に対して、ノア機能は各Cチップに対して得られた信号SM/MMから取られべきである。このノア機能は各Cチップに対して得られたこれらのSM/MM信号の各々を第2木構造に属する適当なFETに供給することにより達成でき、ここでこれらのFETのソースは相互接続され、従ってここでまた結線論理機能が作られている。この結線論理機能によって発出された信号SM/MM'および制御回路のすべての列に対するSM/MM信

P_{11} を4つの信号 VM_i と P_i の群から直接導くことにより得られている。この目的で、問題となっている実施例では4つの信号 VM_i の各群に対して別のノアゲートが存在し、これは信号 VM_A 、 VM_B 、 VM_C および VM_D をそれぞれ発出する。一方では、これらの4つの信号は最後のノアゲートとインバートによって信号 TM に結合され、これはこの目的でブール形式で表わされた伝達関数を満足し、他方では、ナンドゲートとインバートを介して信号 P_{11} 、 P_i および P_{12} をそれぞれ導くに使用され、この信号は伝搬線の関連するセクションの入力に直接供給される。

第2木構造は第6図に示され、その構造に関する限りこれは第1木構造に非常に似ている。垂直破線の左のセクションは第5図の垂直破線の左側の第1木構造の同じ部分によって形成されている。ここでまた、最後に得られる信号SM/MMは中間ステップを介して導かれ、ここで信号 SM_A 、 SM_B 、 SM_C および SM_D がまず得られている。出力信号SM/MMはブール形式で表わされた上

号は外部プロセッサにまた供給され、かつメモリ中のいくつかの語が読出されるかあるいはいくつかの他のやり方で処理されるかどうかを留意するに役立っている。

語選択回路の論理回路によって形成された伝搬線は(それによって信号 $P_{11} = P_i \cdot \overline{VM_i}$ が得られているのだが)、双方の木構造に集積されている。伝搬線を有するこれらの木構造の実施例は第5図および第6図に示されている。

第1木構造は第5図に示され、垂直破線の左には語選択回路に組込まれた伝搬線を形成する部分が表示されている。各語選択回路に対し木構造にインバートとノアゲートが存在する。ノアゲートの出力は常に $P_{11} = P_i \cdot \overline{VM_i} \cdot MR$ である。従って P_i に対する伝搬線は、伝搬線を正しい時間間隔で解放できるように、時間制御ユニットから到来する信号MRによってなおきされている。信号MRを別にして、信号 P_i は関係式 $P_{11} = P_i \cdot \overline{VM_i}$ に従ってそれ自身全く直列に伝搬できる。しかし時間信号P、ならびに信号P、と

述の伝達関数を完全に満足している。

もしMチップのいくつかの列が存在し、従ってCチップの列が存在するなら、第1木構造は種々のCチップに供給されるべきである。各Cチップ上のノアゲートとオアゲートによって形成された固定結合回路を適用し、Cチップの間に外部結線を単に導入することにより各Cチップに存在する第1木構造から信号 TM_i を結合し、かつこれをCチップの任意の長さの列に行ないそして再び木構造に従って行なうことは可能であると分かる。この結合可能性は4つのCチップの一群に対してまず述べられよう。

第7図にはCチップC1、C2、C3およびC4に適用される固定結合回路が29-1、29-2、29-3および29-4によって示され、各結合回路は、4つの入力を持つノアゲート30とこれもまた4つの入力を持つオアゲート31を具え、その3つはノアゲート30のそれと同じである。その上、信号 TM_i の供給および除去のための導体が存在する。この目的で結合回路に存在す

る導体をチップCのオアゲートと外部的に接続することにより、各本構造のCチップC1-C4で得られた $\prod_{i=1}^4 TM_i$ は信号 $\sum_{i=1}^4 TM_i$ となる。チップC1の第1本構造は規定された一定値 P_1 で供給され、チップC2、C3およびC4に対する値 P_1 すなわち P_{c2} 、 P_{c3} および P_{c4} は結合回路29-2、29-3および29-4上のノアゲートから得られる。ここで、 $P_{c2} = \overline{TM_1}$ 、 $P_{c3} = \overline{TM_1} \cdot \overline{TM_2}$ および $P_{c4} = \overline{TM_1} \cdot \overline{TM_2} \cdot \overline{TM_3}$ である。従って第1結合回路上のノアゲートとオアゲートは4つのCチップに対する信号 TM_i の結合に使用されない。しかしこれらは、もし信号 TM_i が4つのCチップのいくつかの群に結合されるなら使うことができる。そのような状況は第8図に示されている。

第8図は64のCチップC1、C2、...C64に基いており、これは第7図によって上に説明された状態で毎回第1レベルにおいて4つのCチップの16群に結合されている。この群は31-1、31-2、...、31-16で示されている。従って16の出力信号

結合回路の群に発生される。第8図のまさにその第1Cチップ上の伝導線に対する値 P_1 は、原理上、群33、32-1および31-1の第1結合回路のノアゲートを介して供給され、 P_1 のこの値は固定されているから、これはまさにその第1Cチップ上の伝導線にさらに容易に直接供給できる。4つのCチップの各群に対して4つの1群の第1Cチップ上の伝導線に対する P_1 の値は、その前に位置しているCチップ上の伝導線の反転された TM_i 値のブール積によって形成されているから、 P_1 のこの値はこれらのCチップ TM_i 値の結合から得られる。従って、例えば、回路32-1は値

$$\prod_{i=1}^4 \overline{TM_i} \cdot \prod_{i=1}^4 \overline{TM_i} \text{ および } \prod_{i=1}^4 \overline{TM_i}$$

を回路31-2、31-3および31-4に与え、そして回路33は値

$$\prod_{i=1}^4 \overline{TM_i} \cdot \prod_{i=1}^4 \overline{TM_i} \text{ および } \prod_{i=1}^4 \overline{TM_i}$$

を回路32-2、32-3および32-4に与える。

$$\sum_{i=1}^4 TM_i, \sum_{i=1}^4 TM_i, \dots, \sum_{i=1}^4 TM_i$$

を与える64の結合回路29-1、29-2、...、29-64が存在する。これらの信号は第2レベルで4つの4群(16結合回路)、すなわち32-1、32-2、32-3および32-4に供給される。4つの結合回路のこれらの4群の出力信号は

$$\sum_{i=1}^4 TM_i, \sum_{i=1}^4 TM_i, \dots, \sum_{i=1}^4 TM_i, \sum_{i=1}^4 TM_i$$

である。これらの4つの信号は順次4つの結合回路の1つの群、すなわち回路33に供給される。回路33の出力信号は $OM = \sum_{i=1}^4 TM_i$ である。

値 P_1 は各Cチップ上の伝導線に供給されなくてはならない。4つのCチップの各群に対して、値 P_1 (= P_{c1} ; 第7図)のみが4つの1群から第1Cチップに供給される必要がある。第7図から分かるように、4つの1群からの他のCチップ上の伝導線に対する値 P_1 (= P_{c2} 、 P_{c3} 、 P_{c4} ; 第7図)は関連する4つのCチップ上の4つの

上のことから、結合回路のすべての論理要素が使用されないことが分かる。結合回路は、回路32-1、32-2、32-3、32-4および33が第1レベルの結合回路上の使われていない要素ですべて構成できるように設計されている。結合回路上のノアゲートについて、4つの結合回路の各群の最後の3つのノアゲートのみが使われ、従って最初のものがお利用可能である結合回路上のオアゲートについて、4つの結合回路の各群の最後のもののオアゲートのみが使われ、他のものは従ってなお利用可能である。

レベル2では、回路32-1、32-2、32-3および32-4の第2、第3、第4ノアゲートはCチップ5、9、13、21、25、29、37、41、45および53、57、61上の結合回路のノアゲートによって置換えられる。レベル3では、回路33の第2、第3、第4ノアゲートはCチップ17、33および49上の結合回路のノアゲートによって置換えられる。さらに、レベル2に対して回路32-1、32-2、32-

3および32-4の第4オアゲートはCチップ13、29、45および61上の結合回路のオアゲートによって置換えられる。レベル3では、回路33の第4オアゲートはCチップ49上の結合回路のオアゲートによって置換えられる。

一般的に言って、4つの結合回路の第 n 番目のノアゲートはレベル M で階数 $(n-1+4h) \cdot 4^{M-1} + 1$ を持つCチップ上の結合回路のノアゲートによって置換でき、ここで $n=2, 3, 4$ 、および $M=1, 2, \dots$ であり、一方 $k=0, 1, \dots$ であり、かつこれはそのノアゲートが置換えねばならぬ特定レベル内にある4つの結合回路の群の数を示している。一般的に言って、一群の4つの結合回路の各第4オアゲートはレベル M において階数 $(3+4k) \cdot 4^{M-1} + 1$ を持つCチップ上の結合回路のオアゲートによって置換できることはまた真であり、ここで $M=1, 2, \dots$ であり、一方 $k=0, 1, \dots$ であり、かつこれはそのオアゲートが置換えねばならぬ特定レベル内にある4つの結合回路の群の数を示している。

ル毎に9ユニット遅延である。

もし 4^k 語がメモリ中に蓄積できるなら、信号OMを得るために通過せねばならぬレベルの数は n に等しく、信号Pは他の $n-1$ レベルを通過するから、全遅延は $2n-1$ ユニット遅延となる。伝搬線の完全に直列なバージョンでは遅延は 4^k である。使用された本構造を持つ伝搬線の速度は従ってかなり大きい。

(要約)

語構成連想メモリについて説明されている。情報はメモリ回路に蓄積され、その各々はそれぞれいくつかの情報ビットのいくつかの語位置セクションを具えている。メモリ回路は1つまたはそれ以上のメモリ回路のいくつかの列あるいは1つまたはそれ以上のメモリ回路のいくつかの行に配列されている。もしいくつかの列が存在するなら、探索終了信号および読出し終了信号それぞれを全体化する(globalise)ために第1(M)ラインを介して。そしてそれぞれ選択終端信号を転送しつつ遮断信号を全体化するために第2(C)ライン

この様にして、完全に完成した本構造は基本的に限定されない数のCチップの列で得ることができ。これに対して要求されているすべてはCチップの外部結線である。そこで得られたOM信号の重要性は、原理的には、1つの単一Cチップが使用される場合のTMのそれと同じである。

ここで与えられた実施例では、本構造は5つのレベルを具え、しかしその2つのだけが各第1本構造に対するCチップで実現され、3つは64のCチップの外部結線によって実現される。

この本構造の使用によって得た時間を決めるために、最悪ケース状態から開始する必要がある。ここで第1一致信号はメモリ内の最後の語に対して得られている。信号TMを得るために2つのレベルが第1本構造を通過し、信号OMを得るために他の3つのレベルが64のCチップの外部結線を介して通過している。従ってこれは全体で5レベルを表わしている。しかし必要な信号Pはまた4レベルを通過せねばならぬが、しかしそれは反対方向である。本構造中の全遅延は従ってレベ

を介して各行に対しハンドシェークが維持されている。もしいくつかの行が存在するなら、信号「少なくとも1語位置は一致を示す」および信号「少なくとも2語位置は一致を示す」を加速された率でそれぞれ形成するために備えられた2つの本構造を持つ等しい数の制御回路が存在する。

4. 図面の簡単な説明

第1図は語構成連想メモリの一般的描写を与え、

第2図は回路を示し、それに基づいてメモリ回路と制御回路の間の時間制御信号の交換が説明され、

第3図は第2図に例示された回路の動作を説明するいくつかの線図を示し、

第4図は制御回路の一部を示し、

第5図は第1本構造の実施例を示し、

第6図は第2本構造の実施例を示し、

第7図は本構造の実現に必要な外部結線を持つ4つのCチップに対する特定回路を示し、

第8図はもしCチップの長い列が存在する場合の第7図に例示された特定回路の結合を図式的に示している。

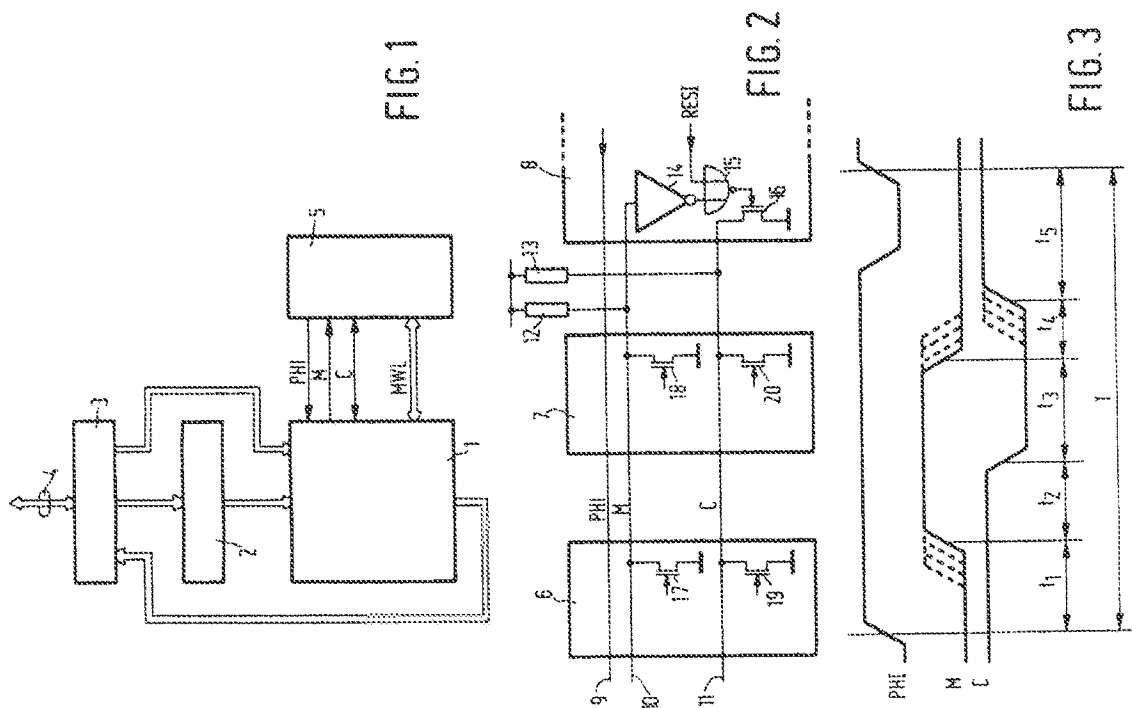
- 1…集積メモリ回路
- 2…マスクレジスタ
- 3…情報マルチプレクサ
- 4…双方向情報ライン
- 5…制御回路
- 6、7…Mチップ
- 8…Cチップ
- 9…PHIライン
- 10…Mライン
- 11…Cライン
- 12、13…抵抗
- 14…インバータ
- 15…ノアゲート
- 16、17、18、19、20…P E T
- 21…時間制御ユニット
- 22-1～22-16…制御サブ回路
- 23…一致レジスタユニット
- 24…語ステータスレジスタユニット
- 25…語読出し指示レジスタユニット
- 26…語選択回路

- 27…ノアゲート
- 28…P E T
- 29-1～29-4…固定結合回路
- 30…ノアゲート
- 31-1～31-16…回路
- 32-1～32-4…結合回路
- 33…回路

特 許 出 願 人 エヌ・ピー・フィリップス・
フルーイランベンファブリケン

代 理 人 弁 理 士 杉 村 曉 秀

同 弁 理 士 杉 村 興 作



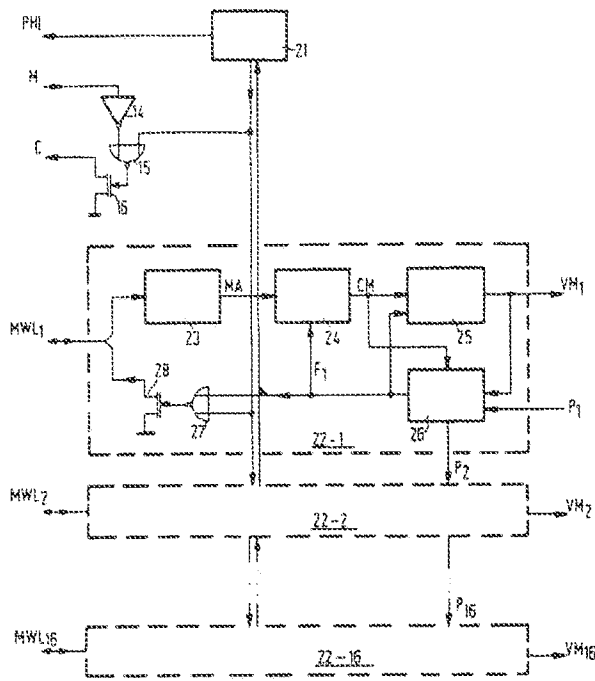


FIG. 4

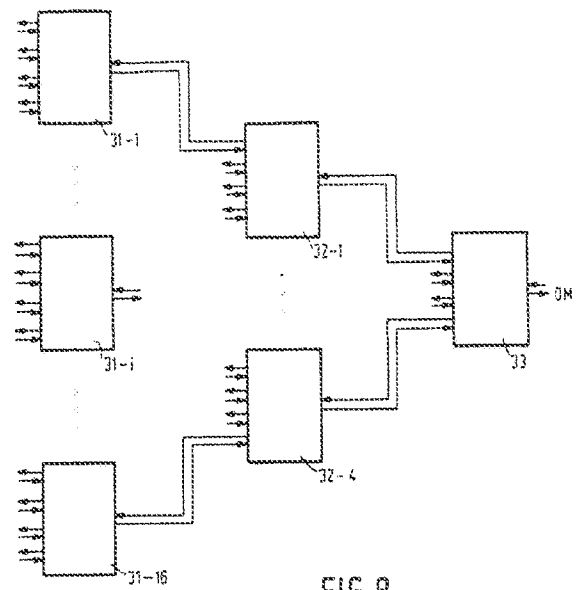


FIG. 8

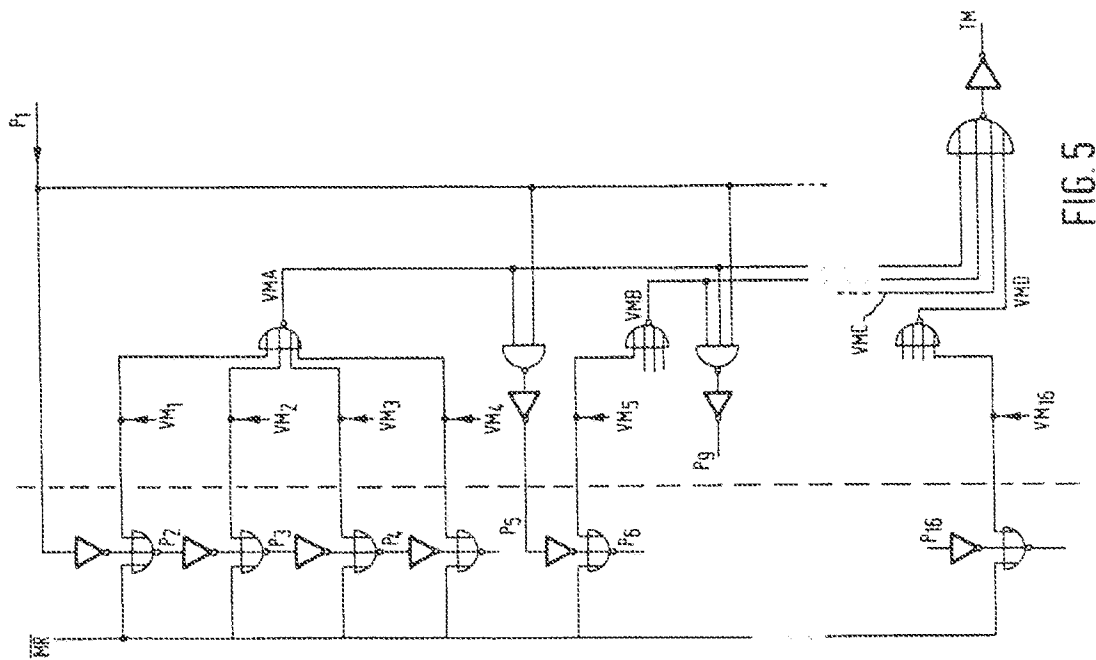


FIG. 5

